

BU8701F

セルラー電話用 PLL 周波数シンセサイザ PLL Frequency Synthesizer for Cellular Phone

BU8701Fは、CMOS シリアル入力 PLL 周波数シンセサイザです。端子設定により 8 通りの分周比が選択できる基準分周器と、CPU からのシリアルデータにより各々分周比を設定できる 10bit プログラマブルデバイダと 7bit スワロウカウンタを有しています。デュアルモジュラスプリスケラとの組合せにより、1GHz 帯までの PLL 周波数シンセサイザを構成できます。

CMOS serial input frequency synthesizer. Eight set value of reference divider can be selected (S1~S3). The dividing ratio of 10bits programmable divider, and 7bits swallow counter are set up by serial data from CPU. BU8701F is available to PLL system (~1GHz) with dual-modulus prescaler.

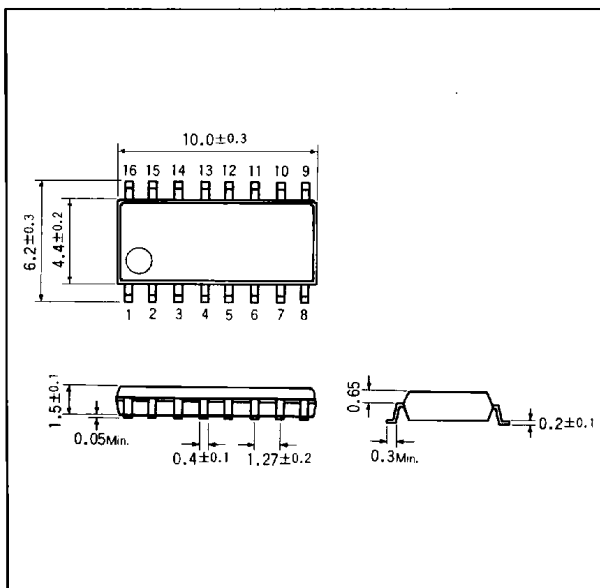
● 特長

- 1) CMOS シリアル入力 PLL シンセサイザ。
- 2) CPU からのシリアルデータによりプログラマブルデバイダの設定値、およびスワロウカウンタの設定値を入力します。
プログラマブルデバイダの入力設定値範囲 (5~1023)
パルススワロウカウンタの入力設定値範囲 (0~ 127)
- 3) 基準発振器用インバータ内蔵。
- 4) 動作電圧範囲が広い ($V_{DD}=2.7\sim5.5V$)。
- 5) デュアルモジュラスプリスケラとの組合せにより 1GHz 帯までの PLL 周波数シンセサイザを構成できます。
- 6) 基準周波数分周器は入力端子 S1, S2, S3 の組合せにより 8 通りの分周が可能です。
- 7) 位相比較器の出力は、内蔵チャージポンプ出力、外付けチャージポンプ出力の 2 系統用意されています。
- 8) シリアルクロック、データラッチ端子はシュミットトリガ入力です。

● Features

- 1) CMOS serial input frequency synthesizer.
- 2) Set value of programmable divider, and swallow counter by serial data from CPU.
Set value of programmable divider. (5~1023)
Set value of swallow counter. (0~ 127)
- 3) With internal inverter for reference oscillator.

● 外形寸法図/Dimensions (Unit : mm)



- 4) Wide operating voltage. ($V_{DD}=2.7\sim5.5V$)
- 5) BU8701F is available to PLL system (~1GHz) with dual-modulus prescaler.
- 6) Eight set value of reference divider can be selected (S1~S3).
- 7) A couple of outputs for phase frequency detector are available.
Internal charge pump output.
External charge pump output.
- 8) Serial clock, data latch are schmitt trigger inputs.

● 用途

セルラー電話 (自動車電話, 携帯電話)

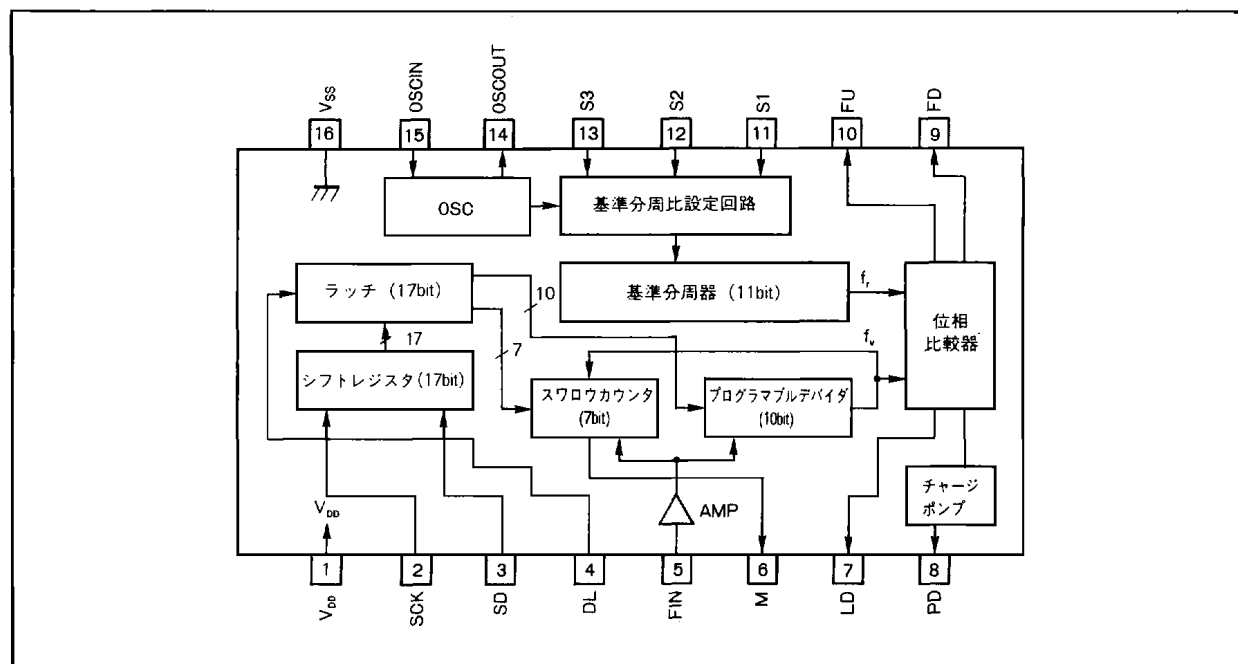
● Applications

Cellular Phone. (Mobile Telephon, Portable Telephone)

通信機

PLL

● ブロックダイアグラム/Block Diagram



● 絶対最大定格/Absolute Maximum Ratings (Ta=25°C)

Parameter	Symbol	Limit	Unit	注
電源電圧	V _{DD}	7.0	V	
入力電圧	V _{IN}	V _{SS} -0.3~V _{DD} +0.3	V	1
出力電圧 1	V _{OUT1}	V _{SS} -0.3~V _{DD} +0.3	V	2
出力電圧 2	V _{OUT2}	V _{SS} -0.3~7.0	V	3
許容損失	P _d	500	mW	
動作温度範囲	T _{opr}	-35~+ 85	°C	
保存温度	T _{stg}	-55~+125	°C	

注 1 : SCK, SD, DL, FIN, S1, S2, S3, OSCIN 端子に適用。

注 2 : M, LD, PD, FD, OSCOUT 端子に適用。

注 3 : FU 端子に適用。

● 推奨動作条件/Recommended Operating Conditions (Ta=25°C)

Parameter	Symbol	Limit	Unit
電源電圧	V _{DD}	2.7~5.5	V
入力電圧	V _{IN}	V _{SS} ~V _{DD}	V

● 電気的特性 / Electrical Characteristics

電気的特性 1 (Unless otherwise noted, Ta=25°C, VDD=2.7~5.5V)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions	Test Circuit
入力電圧 “H”	V _{IH}	0.8V _{DD}	—	V _{DD}	V	* 1	Fig.2
入力電圧 “L”	V _{IL}	V _{SS}	—	0.2V _{DD}	V	* 1	
入力電流 1 “H”	I _{IH1}	—	—	1.0	μA	V _{DD} =5.5V * 1	
入力電流 1 “L”	I _{IL1}	—	—	−1.0	μA	V _{DD} =5.5V * 1	
出力電圧 “H”	V _{OH}	0.99V _{DD}	—	—	V	出力無負荷 * 2	
出力電圧 “L”	V _{OL}	—	—	0.01V _{DD}	V	出力無負荷 * 3	
OSCOUT 出力電圧 “H”	V _{OHOSC}	0.9V _{DD}	—	—	V	出力無負荷	
OSCOUT 出力電圧 “L”	V _{OLOSC}	—	—	0.1V _{DD}	V	出力無負荷	
出力ソース電流	I _{OSO}	−1.0	—	—	mA	V _{DD} =2.7V,V _{OH} =2.0V * 2	
出力シンク電流	I _{OSI}	1.0	—	—	mA	V _{DD} =2.7V,V _{OL} =0.8V * 3	
出力リーク電流	I _{OLKG}	—	—	0.05	μA	V _{DD} =5.5V,V _{OH} =5.5V * 4	
データセットアップ時間	t _{DSU}	—	—	1	μs	Fig. 4 シリアルデータ入力 タイミングチャート 参照	
データホールド時間	t _{DH}	—	—	1	μs		
シリアルロック周期	t _{CS}	2	—	—	μs		
データラッチタイミング時間	t _{DLT}	2	—	—	μs		
データラッチ保持時間	t _{DL}	1	—	—	μs		

* 1 : SCK, SD, DL, S1, S2, S3 端子に適用。

* 2 : M, LD, DO, FD, 端子に適用。

* 3 : M, LD, DO, FD, FU 端子に適用。

* 4 : FU 端子に適用。

電気的特性 2 (Unless otherwise noted, Ta=25°C, VDD=5.0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions	Test Circuit
動作電流	I _{DD}	—	3.0	—	mA	* 1	Fig.2
入力感度	V _{FPP}	1.0	—	—	V _{p-p}	AC 結合の振幅 正弦波入力 FIN=3.0~30MHz * 2	Fig.3
入力電流 2H	I _{IH2}	—	27	—	μA	V _{IN} =5.0V * 2	Fig.2
入力電流 2L	I _{IL2}	—	27	—	μA	V _{IN} =0V * 2	
最高動作周波数	f _{MAX}	30	—	—	MHz	AC 結合の振幅 1.0V _{p-p} 正弦波入力	Fig.3

* 1 : 動作電流測定条件は FIN=5.0MHz の AC 結合の正弦波 (1.0V_{p-p}/V_{DD}=5.0V, 0.8V_{p-p}/V_{DD}=3.0V) を入力し、OSCIN, OSCOUT に12.8MHz の水晶発振子を接続、FIN, OSCIN 以外の入力端子を V_{SS} とし出力端子を開放した時のものです。

* 2 : FIN, OSCIN 端子に適用。

電気的特性 3 (Unless otherwise noted, Ta=25°C, VDD=3.0V)

Parameter	Symbol	Min.	Typ.	Max.	Unit	Conditions	Test Circuit
動作電流	I _{DD}	—	0.6	—	mA	* 1	Fig.2
入力感度	V _{FPP}	0.8	—	—	V _{p-p}	AC 結合の振幅 正弦波入力 FIN=3.0~20MHz * 2	Fig.3
入力電流 2H	I _{IH2}	—	8	—	μA	V _{IN} =3.0V * 2	Fig.2
入力電流 2L	I _{IL2}	—	8	—	μA	V _{IN} =0V * 2	
最高動作周波数	f _{MAX}	20	—	—	MHz	AC 結合の振幅 0.8V _{p-p} 正弦波入力	Fig.3

* 1 : 動作電流測定条件は FIN=5.0MHz の AC 結合の正弦波 (1.0V_{p-p}/V_{DD}=5.0V, 0.8V_{p-p}/V_{DD}=3.0V) を入力し、OSCIN, OSCOUT に12.8MHz の水晶発振子を接続、FIN, OSCIN 以外の入力端子を V_{SS} とし出力端子を開放した時のものです。

* 2 : FIN, OSCIN 端子に適用。

通信機

PLL

● 電気的特性曲線 / Electrical Characteristic Curve

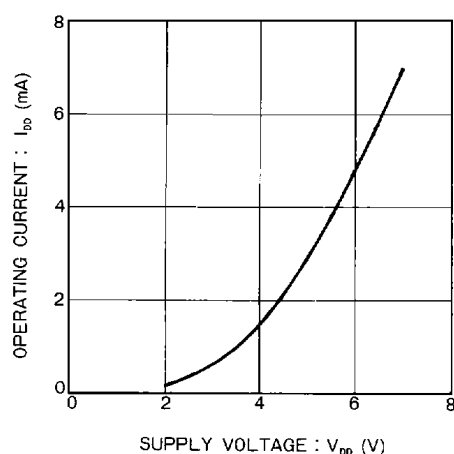


Fig.1 動作電流--電源電圧特性

● 測定回路図 / Test Circuits

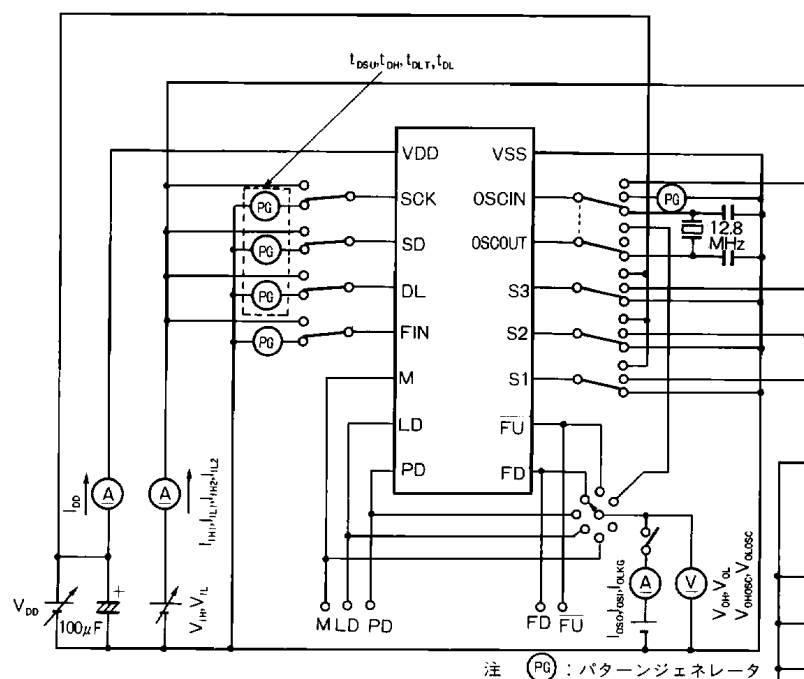


Fig.2

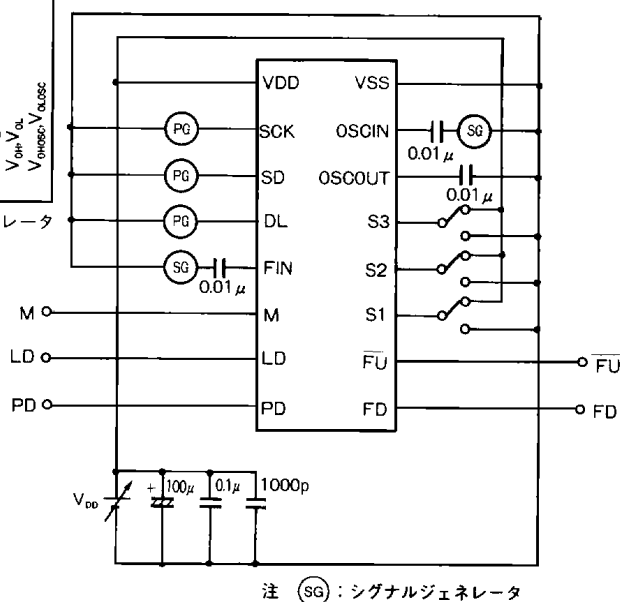
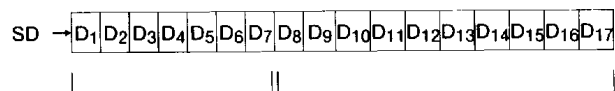


Fig.3

● 動作説明

(1) シリアルデータについて

データの入力は MSB ファーストです。



スワロウカウンタの設定値 プログラマブルデバイダの設定値

SD 端子にバイナリコードによるシリアルデータを入力します。この入力が MSB より 17bit シフトレジスタへロードされデータラッチ信号 (DL=H レベル) によって 17bit シフトレジスタの状態を 17bit ラッチへ転送します。転送された内容がスワロウカウンタ (7bit)、プログラマブルデバイダ (10bit) の入力となります。

(2) スワロウカウンタ (7bit) の設定値について

D1~D7がスワロウカウンタの設定値となります。

設定値は 0~127 となります。

D7	D6	D5	D4	D3	D2	D1	設定値
0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	1
0	0	0	0	0	1	0	2
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	1	127

デュアルモジュラスプリスケアラの分周比が 64/65 の場合は D7 には "0" を入力してください。

(3) プログラマブルデバイダ (10bit) の設定値について
D8~D17 がプログラマブルデバイダの設定値になります。設定値は 5~1023 となります。

D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	設定値
0	0	0	0	0	0	0	1	0	1	5
0	0	0	0	0	0	0	1	1	0	6
0	0	0	0	0	0	0	1	1	1	7
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	1	1	1	1	1023

シリアルデータ入力タイミングチャート

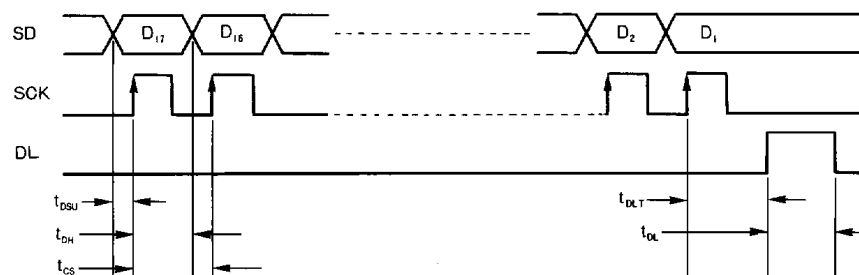


Fig.4 タイミングチャート

通信機

P
L
L

● 端子説明

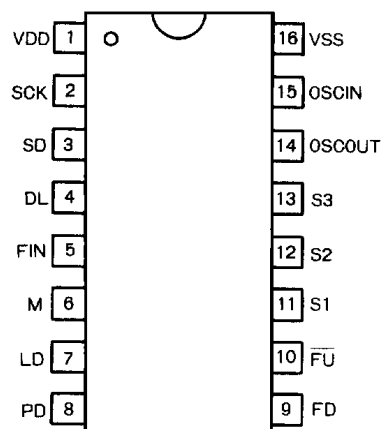
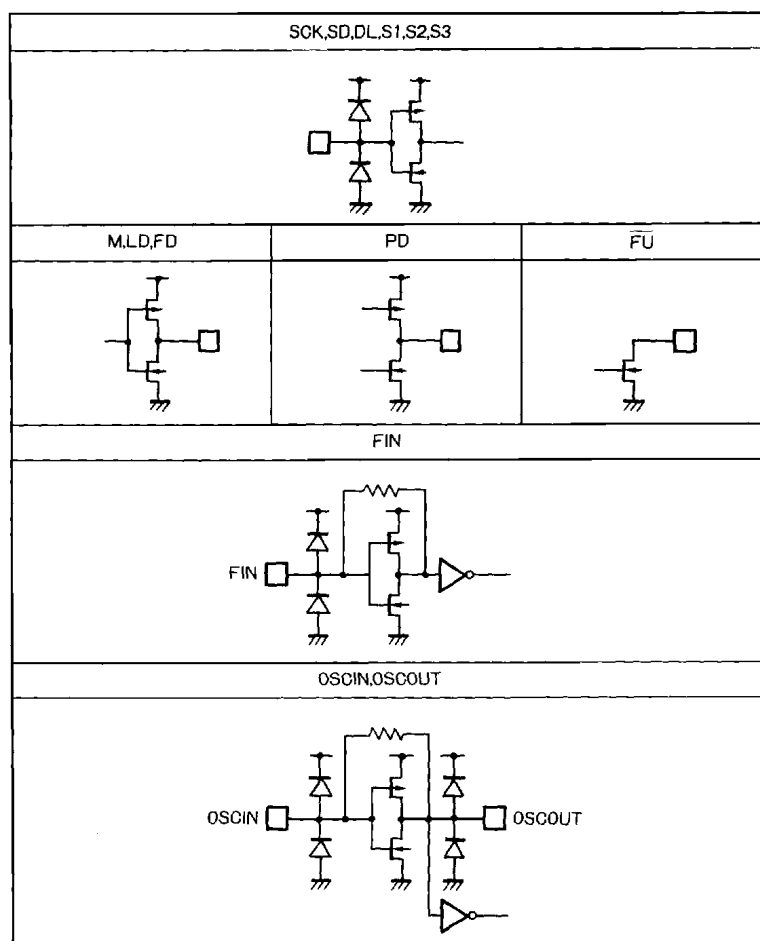


Fig.5 端子配置図

Pin No.	端子名	機 能	入出力
1	VDD	VDD 端子です。	—
2	SCK	シフトレジスタのクロック入力端子です。立ち上がりエッジでデータシフトをします。	COMS 入力 シュミットトリガ
3	SD	シリアルデータ入力端子です。 (データの入力は MSB ファーストです)	COMS 入力
4	DL	データラッチ端子です。 (Hレベル時シフトレジスタのデータをプログラマブルデバイダおよびスワロウカウンタにロードします)	CMOS 入力 シュミットトリガ
5	FIN	スワロウカウンタとプログラマブルデバイダの入力端子です。入力部にバイアス回路およびアンプがあります。デュアルモジュラスプリスケラとの接続は AC 結合で行ってください。	入力
6	M	デュアルモジュラスプリスケラをコントロールする端子です。本出力は FIN 入力波形の立ち上がり同期して変化します。デュアルモジュラスプリスケラへの接続は DC 結合で行ってください。 (モジュール設定は H レベルで 64 または 128, L レベルで 65 または 129 となります)	CMOS 出力
7	LD	位相比較器の出力端子です。 (ロックしているときは L レベルを、ロックがはずれているときは H レベルを出力します)	CMOS 出力
8	PD	内蔵チャージポンプの出力端子です。 (基準分周器の出力 f_r とプログラマブルデバイダの出力 f_v との関係は以下のとおりです。) $f_r > f_v$: PD=Hレベル $f_r = f_v$: PD=Zレベル $f_r < f_v$: PD=Lレベル	CMOS 出力
9	FD	外付けチャージポンプ用出力端子です。 (基準分周器の出力 f_r とプログラマブルデバイダの出力 f_v との関係は以下のとおりです。) $f_r > f_v$: FD=Lレベル, $\overline{FU}$ =Lレベル $f_r = f_v$: FD=Lレベル, $\overline{FU}$ =Zレベル $f_r < f_v$: FD=Hレベル, $\overline{FU}$ =Zレベル	CMOS 出力
10	$\overline{FU}$		Nch オープンドレイン 出力
11	S1	基準周波数分周器出力 f_r は S1,S2,S3 の組合せにより決定します。S1,S2,S3 の組合せにより 8 通りの分周が可能です。(基準周波数分周器出力 f_r の分周比参照)	CMOS 入力
12	S2		CMOS 入力
13	S3		CMOS 入力
14	OSCOUT	水晶発振子接続端子です。 (外部から信号を直接入力する場合は OSCIN 端子に AC 結合にて入力してください)	CMOS 出力
15	OSCIN		CMOS 入力
16	VSS	VSS 端子です	—

● 入出力回路図



通信機

PLL

基準周波数分周器出力 f_r の分周比

分周比 Sn	1/8	1/16	1/64	1/128	1/256	1/512	1/1024	1/2048
S1	0	1	0	1	0	1	0	1
S2	0	0	1	1	0	0	1	1
S3	0	0	0	0	1	1	1	1

● 使用上の注意

- 1) プログラマブルデバイダは分周比 5 未満の設定はできません。
- 2) スワロウカウンタの設定値は 0~127 です。スワロウカウンタの設定値がプログラマブルデバイダの設定値以上の値になっている場合には、プログラマブルデバイダの設定値-1 の設定と同じ動作になります。

● 応用回路例 / Application Example

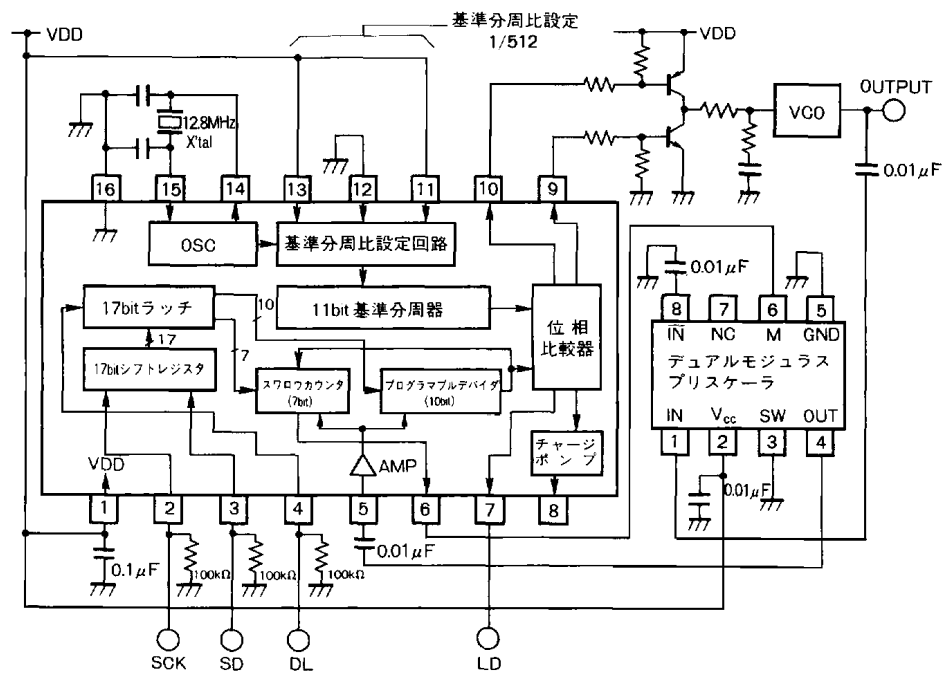


Fig.6